

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-196724

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.  
H 01 L 29/91  
H 01 P 1/15  
H 03 K 17/76

識別記号 庁内整理番号  
A 9383-5J

F I

技術表示箇所

H 01 L 29/ 91

K

F

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-71656  
(22)出願日 平成4年(1992)3月27日  
(31)優先権主張番号 6 7 6 6 4 9  
(32)優先日 1991年3月28日  
(33)優先権主張国 米国(US)

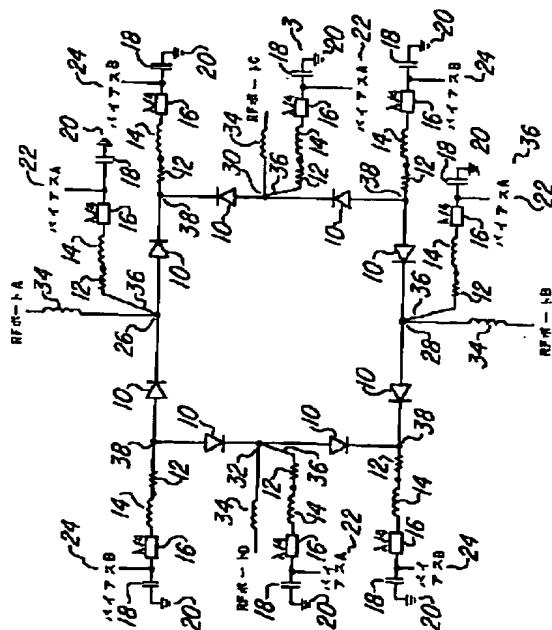
(71)出願人 590000879  
テキサス インスツルメンツ インコーポ  
レイテッド  
アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500  
(72)発明者 スチーブン アール. ネルソン  
アメリカ合衆国テキサス州ルチャードソン  
セレナーデ レーン 907  
(74)代理人 弁理士 浅村皓(外2名)

(54)【発明の名称】 4ポールモノリシックGaAs PINダイオードスイッチ

(57)【要約】

【目的】 広い帯域特性を示し、かつ寸法の小さいモノリシックGaAs PINダイオードスイッチ回路を提供する。

【構成】 2個の入力ポートと、2個の出力ポートと、8個のPINダイオードとを含んでPINダイオードスイッチ回路が構成される。8個のダイオードは2個ずつ対になって、各入力ポートと各出力ポートとの間に接続される。4組のダイオード対のうち2組はカソード同士、2組はアノード同士が接続される。各ダイオード対間にはバイアス節点が設けられている。各バイアス節点は第1の共通バイアス信号を、各入出力ポートは第2の共通バイアス信号を受ける。



## 【特許請求の範囲】

【請求項1】 第1と第2の入力ポートと、  
 第1と第2の出力ポートと、  
 該第1の入力ポートと該第1の出力ポートとの間に接続  
 された第1のダイオード対であって、該ダイオード対間に  
 第1のバイアス節点を有する、第1の背中合わせのモノ  
 リシックG a A s P I Nダイオードと、  
 該第1の入力ポートと該第2の出力ポートとの間に接続  
 された第2のダイオード対であって、該ダイオード対間に  
 第2のバイアス節点を有する、第2の背中合わせのモノ  
 リシックG a A s P I Nダイオードと、  
 該第2の入力ポートと該第1の出力ポートとの間に接続  
 された第3のダイオード対であって、該ダイオード対間に  
 第3のバイアス節点を有する、第3の背中合わせのモノ  
 リシックG a A s P I Nダイオードと、  
 該第2の入力ポートと該第2の出力ポートとの間に接続  
 された第4のダイオード対であって、該ダイオード対間に  
 第4のバイアス節点を有する、第4の背中合わせのモノ  
 リシックG a A s P I Nダイオードと、  
 を含み、

前記第1と第4のモノリシックG a A s P I Nダイオード対はカソード同士が接続され、前記第2と第3のモノリシックG a A s P I Nダイオード対はアノード同士が接続されていることと、  
 前記第1、第2、第3、第4のバイアス節点は第1の共通バイアス信号を受けるように接続されていることと、  
 前記第1と第2の入力ポートと、前記第1と第2の出力ポートとは、第2の共通バイアス信号を受けるように接続されていることと、  
 を特徴とする、モノリシックP I Nダイオードスイッチの回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路に関するものであり、特にモノリシックマイクロ波スイッチに関するものである。

## 【0002】

【従来の技術】 P I Nダイオードは電気的な可変抵抗器として使うことができる、マイクロ波半導体ダイオードである。それはマイクロ波のスイッチング、減衰、制限、変調および移相を行うために、導波管、同軸ケーブルおよびストリップ線部品において使用される。P I Nダイオードスイッチは2個のダイオードの直列やシャントなどの組合せによって構成された。歴史的にハイブリッドS i P I Nダイオードがマイクロ波回路で使われてきた。

## 【0003】

【発明が解決しようとする課題】 しかし挿入損のような仕様上の要求を満たすには、S iのP I Nダイオードは小さすぎて、回路内に結合することが困難である。ダイ

オードを回路に接続するのに用いられる結合線の寄生インダクタンスがあるために、装置が許容可能な小信号整合を維持する帯域が狭くなる。モノリシック装置なら回路の大きさも結合線の寄生インダクタンスも小さくすることができるが、これをS iで実現するのは困難であった。

## 【0004】

【課題を解決するための手段】 本発明は、モノリシックP I Nダイオードスイッチ回路である。この回路は、第1と第2の入力ポートと、第1と第2の出力ポートと、該第1の入力ポートと該第1の出力ポートとの間に接続された第1のダイオード対であって、該ダイオード対間に第1のバイアス節点を有する、第1の背中合わせのモノリシックG a A s P I Nダイオードと、該第1の入力ポートと該第2の出力ポートとの間に接続された第2のダイオード対であって、該ダイオード対間に第2のバイアス節点を有する、第2の背中合わせのモノリシックG a A s P I Nダイオードと、該第2の入力ポートと該第1の出力ポートとの間に接続された第3のダイオード対であって、該ダイオード対間に第3のバイアス節点を有する、第3の背中合わせのモノリシックG a A s P I Nダイオードと、該第2の入力ポートと該第2の出力ポートとの間に接続された第4のダイオード対であって、該ダイオード対間に第4のバイアス節点を有する、第4の背中合わせのモノリシックG a A s P I Nダイオードと、を含み、前記第1と第4のモノリシックG a A s P I Nダイオード対はカソード同士が接続され、前記第2と第3のモノリシックG a A s P I Nダイオード対はアノード同士が接続されていることと、前記第1、第2、第3、第4のバイアス節点は第1の共通バイアス信号を受けるように接続されていることと、前記第1と第2の入力ポートと、前記第1と第2の出力ポートとは、第2の共通バイアス信号を受けるように接続されていることと、を特徴とする。

【0005】 好ましくは、背中合わせのダイオード対は入力ポートと出力ポート間に直接接続されている。回路の面積は1 mm<sup>2</sup>以下である。回路はわずか2個の入力ポートと、2個の出力ポートと、8個のP I Nダイオードで構成される。P I NダイオードはG a A sからつくられる。外部回路はR F減結合回路を通して入力ポート、出力ポートおよびバイアス節点に接続されている。 $\lambda/4$  チョークはバイアス回路の一部である。P I Nダイオードは正方形に配置される。第1の入力ポートは送信ポートであり、第2の入力ポートは受信ポートであり、第1と第2の出力ポートはアンテナポートである。

## 【0006】

【実施例】 モノリシックG a A s P I Nダイオードは多くのスイッチング回路と制御回路においてすぐれた性能を示した。G a A s P I Nダイオードはオン状態の抵抗が低くかつオフ状態の容量が小さいうえに、ダイオ

ードの物理的寸法も小さいので、従来のシリコンPINダイオードやG a A S電界効果トランジスタ(FET)をベースにした技術では不可能だった回路トポロジーが可能になった。

【0007】図1はPINダイオードスイッチの好ましい実施例の略図を示す。図中の素子番号を識別するために、表1を参照されたい。このスイッチは4個のRF(無線周波数)ポート26, 28, 30, 32と8個のDC(直流)ポート36, 38とを有する。RFポート26, 28, 30, 32には総称的にRFポートA-Dという名を付してあるが、もっと具体的な名前をつけてもよい。例えば、RFポートA 26にはアンテナ1、RFポートB 28にはアンテナ2、RFポートC 30には送信、RFポートD 32には受信とつけてもよい。このスイッチに含まれる8個のPINダイオード10は好ましくは図1に示すように、アノードとアノード、またはカソードとカソードいずれか同士を接続した正方形またはダイヤモンド構造に配置されている。この接続方法によれば降伏電圧が高くなると共に、RF電力操作が改良される。RFポート26, 28, 30, 32は結合線3

4により外部に接続されるが、これらの結合線34は寄生インダクタンスとなる。DCポート36, 38はダイオード電流を制限するために約250オームのオンチップ抵抗器12に接続されている。各オンチップ抵抗器12は結合線14に直列に接続されており、結合線14は約80オームの $\lambda/4$ チョーク16(1/4波長線)に直列に接続されており、 $\lambda/4$ チョーク16は低リアクタンスコンデンサ18に直列に接続されており、コンデンサ18はアース20に接続されている。8個のDCポート線の各々において、 $\lambda/4$ チョーク16とコンデンサ18との間にバイアスA線22とバイアスB線24とがある。RFポート26, 28, 30, 32に近いところにあるDCポート線36はバイアスA 22に接続され、各スイッチアームの2個のダイオード10の間にあるDCポート線38はバイアスB 24に接続されている。(RFポート間に二個のダイオードでスイッチアームを表わし、合計4個のスイッチアームがある。)

【0008】

【表1】

番号	説明
1 0	ピンダイオード
1 2	直流ポート抵抗器
1 4	直流ポート結合線
1 6	$\lambda/4$ チョーク
1 8	直流ポートコンデンサ
2 0	アース
2 2	バイアスA線
2 4	バイアスB線
2 6	RFポートA
2 8	RFポートB
3 0	RFポートC
3 2	RFポートD
3 4	RFポート結合線
3 6	直流ポート
3 8	直流ポート
4 0	基板
4 2	N+層
4 4	真性層
4 6	P+層
4 8	P+接触層
5 0	N+接触層
5 2	相互接続金属
5 4	めっき金属かけ橋と送信線

【0009】もしすべてのバイアスA線22が1.5-5.0ボルトにセットされ、かつすべてのバイアスB線24が0ボルトまたは負の電圧にセットされれば、RFポートA26とRFポートC30間のアーム、およびRFポートB28とRFポートD32間のアームの挿入損は小さくなる。これらのアームの中にあるダイオードはオンにバイアスされるので、直流電流がバイアスA22からバイアスB24に流れるが、RFは所望の動作周波数において $\lambda/4$  チョーク16で阻止される。他の2個の経路である、RFポートA26からRFポートD32へ至る経路と、RFポート28からRFポートC30へ至る経路は、バイアスA22が1.5-5.0ボルト

でバイアスB24が0ボルトのときにはオフにバイアスされる。2個のバイアス電圧を切替えると、すなわちバイアスA22を0ボルトに、かつバイアスB24を1.5-5.0ボルトにすると、低損失アームと分離アームとが入れ替わる。したがって、RFポートD32はRFポートA26またはRFポートB28のいずれかに切り替えられ、RFポートC30は同時にRFポートB28またはRFポート26のいずれかに切り替えられるであろう。RFポートC30とD32が同時にRFポートA26またはB28に切り替わることはできない。もしバイアスA22とバイアスB24の両方に0ボルトが加えられると、すべてのスイッチアームは「オフ」(高分離

状態) になる。

【0010】図2a-2fは本装置の好ましい製造方法である、縦型GaAs PINダイオードの製造方法を示す。図2aを参照して、PINダイオードが半絶縁性のGaAs基板40上に形成される。これらの層は好ましくは、金属有機物化学蒸着法(MDCVD)によって、エピタキシャル成長させる。他の方法としては、分子ビームエピタキシー(MBE)を用いてもよからう。基板40の上に成長させるn型層42は好ましくはn+で、厚さは約0.25μmで、ドーピング濃度は $10^8$  cm<sup>-3</sup>より大にする。n+層42をつくるには、Si、SまたはSeのようなドーピング剤を用いる。n+層42の上に成長させるI(真性)層44は、好ましくは厚さが1.2μmで、 $3 \times 10^{14}$  cm<sup>-3</sup>以下のドーピング濃度にする。I層44の上に形成するp型層46は、好ましくはp+で、厚さは約0.25μmで、ドーピング濃度は $10^{18}$  cm<sup>-3</sup>より大にする。p+層42をつくるには、Be、Zn、C、MgまたはMnのようなドーピング剤を用いる。p型層46の上にAu/Zn/Auのp+接触層を付着させ、パターニングしてp+層46の接触子をつくる。p+接触層48は好ましくは370°C1分間合金化処理を行う。次に、図2bに示すようにp+接触層48をマスクとして用いて、I層44とn+層42の境界までエッティングして、PINダイオードのメサをつくる。次に、図2cに示すように、n+層42とp+接触層48の上にAu/Ge/Niのn+接触層50を付着させ、パターニングしたn+層42の接触子を形成する。n+接触層50は好ましくは430°Cで3分間合金化処理する。次に図2dに示すように、n+層をエッティングすることにより、ダイオードを分離する。次に図2eに示すように、接触子金属48、50を合金化した後、相互接続用金属52、好ましくはTi/Au、を付着させてパターニングして余分の部分を除去する。それから図2fに示すように、Ti/Auを付着させ、パターニングし、めつきして、かけ橋と伝送線54をつくる。回路を構成するのに必要な数のPINダイオードが、上述の方法で1個の基板の上につくられる。これはPINダイオードのつくり方の一実施例にすぎない。上述の回路を実現するには、例えばp+領域とn+領域に注入法を用いるなど、モノリシックPINダイオードをつくるための他の任意の方法を用いることができる。また望むならば、カソード同士が接続されたダイオードはp+領域を共有してもよいし、アノード同士が接続されたダイオードは、n+領域を共有してもよい。

【0011】でき上った集積回路は外部バイアス回路(RF減結合回路)と共に薄膜または薄膜基板上に実装して、ひとつのシステムに統合することができる。

【0012】

【発明の効果】上述のGaAsモノリシックPINダイオードスイッチは多くの利点を有する。いくつかのGa

As PINダイオードを半絶縁性のGaAs基板上に集積化しながらも、ダイオード間の分離性を高度に保ち、かつ、ダイオードの寄生容量を小さくすることができる。このことをシリコン内で実現するのは非常に難しい。GaAs基板を使用するためにダイオードの熱放散が良い。このPINダイオードスイッチは挿入損が低くかつ分離性が高い。GaAs FETまたはHBTを用いて作ったスイッチよりも優れているのである。このスイッチをモノリシック集積回路化することにより、ハイブリッドスイッチよりも広い帯域特性を示し、かつ寸法も小さい(面積は1mm<sup>2</sup>未満)。100MHz未満から2GHz以上の周波数における動作にスイッチを調節するために、外部バイアス回路を用いてもよい。

【0013】以上好ましい一実施例について詳細に説明した。本発明の範囲内で各種の実施例を考え出すことができる。例えば、λ/4チョークは誘導子または高い値の抵抗器によって置き換えることができよう。同様に、GaAsの代わりにInPのような他のIII-IV族の化合物から回路をつくることもできよう。また前述のように、MDCVDプロセスの代わりにMBE成長プロセスを使うこともできよう。本発明の範囲を考えるうえで、「含む」という言葉は排他的でないと解釈すべきである。

【0014】本発明を図示した実施例を参照しながら説明したが、これは限定的な意味を持つものではない。本発明を参考にすれば、他の実施例と共に各種の修正や組合せが当業者には明白になろう。したがって本発明の範囲はそうした修正例や実施例を含むものである。

【0015】以上の説明に関して更に以下の項を開示する。

(1) ア. 第1と第2の入力ポートと、イ. 第1と第2の出力ポートと、ウ. 該第1の入力ポートと該第1の出力ポートとの間に接続された第1のダイオード対であって、該ダイオード対間に第1のバイアス節点を有する、第1の背中合わせのモノリシックGaAs PINダイオードと、エ. 該第1の入力ポートと該第2の出力ポートとの間に接続された第2のダイオード対であって、該ダイオード対間に第2のバイアス節点を有する、第2の背中合わせのモノリシックGaAs PINダイオードと、オ. 該第2の入力ポートと該第1の出力ポートとの間に接続された第3のダイオード対であって、該ダイオード対間に第3のバイアス節点を有する、第3の背中合わせのモノリシックGaAs PINダイオードと、カ. 該第2の入力ポートと該第2の出力ポートとの間に接続された第4のダイオード対であって、該ダイオード対間に第4のバイアス節点を有する、第4の背中合わせのモノリシックGaAs PINダイオードと、を含み、前記第1と第4のモノリシックGaAs PINダイオード対はカソード同士が接続され、前記第2と第3のモノリシックGaAs PINダイオード対はアノ-

ド同士が接続されていることと、前記第1、第2、第3、第4のバイアス節点は第1の共通バイアス信号を受けるように接続されていることと、前記第1と第2の入力ポートと、前記第1と第2の出力ポートとは、第2の共通バイアス信号を受けるように接続されていることと、を特徴とする、モノリシックPINダイオードスイッチ回路。

【0016】(2) 第(1)項記載の装置において、前記背中合わせのPINダイオード対は前記入力ポートと前記出力ポート間に直接接続されていることを特徴とする、モノリシックPINダイオードスイッチ回路。

【0017】(3) 第(1)項記載の装置において、前記回路の面積は、1mm<sup>2</sup>以下であることを特徴とする、モノリシックPINダイオードスイッチ回路。

【0018】(4) 第(1)項記載の装置において、前記回路はわずか2個の入力ポートと、2個の出力ポートと、8個のピンダイオードのみを有することを特徴とする、モノリシックPINダイオードスイッチ回路。

【0019】(5) 第(1)項記載の装置において、前記PINダイオードはGaAsからつくられることを特徴とする、モノリシックPINダイオードスイッチ回路。

【0020】(6) 第(1)項記載の装置において、外部バイアス回路はRF減結合回路を通して前記入力ポート、前記出力ポートおよび前記バイアス節点に接続されていることを特徴とする、モノリシックPINダイオードスイッチ回路。

【0021】(7) 第(6)項記載の装置において、λ/4チョークは前記バイアス回路の一部であることを特徴とする、モノリシックPINダイオードスイッチ回路。

【0022】(8) 第(1)項記載の装置において、前記PINダイオード群は正方形に配置されていることを特徴とする、モノリシックPINダイオードスイッチ回路。

【0023】(9) 第(1)項記載の装置において、前記第1の入力ポートは送信ポートであり、前記第2の入力ポートは受信ポートであり、前記第1と第2の出力ポートはアンテナポートであることを特徴とする、モノリシックPINダイオードスイッチ回路。

【0024】(10) 第1と第2の入力ポートと、第1と第2の出力ポートと、該第1の入力ポートと該第1の出力ポートとの間に接続された第1のダイオード対であって、該ダイオード対間に第1のバイアス節点を有する、第1の背中合わせの半導体PINダイオードと、該第1の入力ポートと該第2の出力ポートとの間に接続された第2のダイオード対であって、該ダイオード対間に第2のバイアス節点を有する、第2の背中合わせの半導体PINダイオードと、該第2の入力ポートと該第1の出力ポートとの間に接続された第3のダイオード対であ

って、該ダイオード対間に第3のバイアス節点を有する、第3の背中合わせの半導体PINダイオードと、該第2の入力ポートと該第2の出力ポートとの間に接続された第4のダイオード対であって、該ダイオード対間に第4のバイアス節点を有する、第4の背中合わせの半導体PINダイオードと、を含み、前記第1と第4の半導体PINダイオード対はカソード同士とアノード同士接続の一方を形成し、前記第2と第3の半導体PINダイオードはカソード同士とアノード同士接続の他方を形成していることと、前記第1、第2、第3、第4のバイアス節点は第1の共通バイアス信号を受けるように接続されていることと、前記第1と第2の入力ポートと、前記第1と第2の出力ポートとは、第2の共通バイアス節点を受けるように接続されていることと、を特徴とする、PINダイオードスイッチ回路。

#### 【0025】注意

本明細書の一部には著作権とマスクワーク保護の対象となる材料が含まれている。この著作権とマスクワークの所有者であるテキサスインスツルメント社は、特許庁におけるファイルや記録に際して行われる明細書や公報の複製には異議を唱えないが、その他の場合にはすべて著作権とマスクワークの権利を留保するものである。

#### 【図面の簡単な説明】

【図1】本発明の好ましい一実施例の概略図。

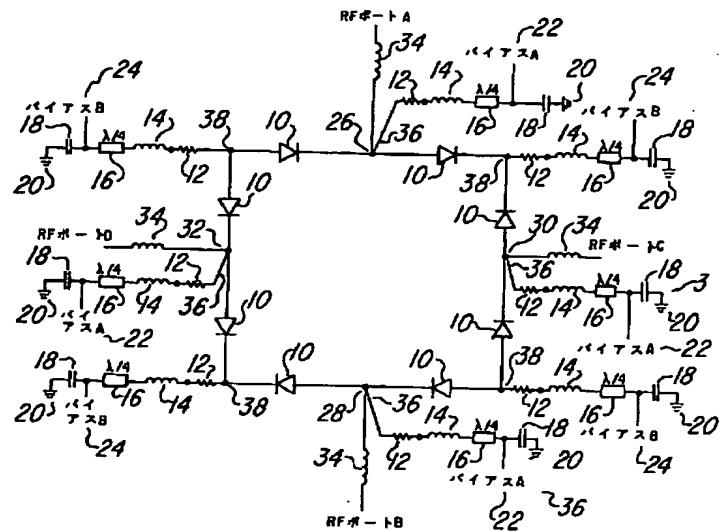
【図2】PINダイオードの好ましい製造方法を工程順に示す図。特に指示しない限り、異なる図においても同じ部分には同じ番号や記号を用いている。

#### 【符号の説明】

10	ピンダイオード
12	直流ポート抵抗器
14	直流ポート結合線
16	λ/4 チョーク
18	直流ポートコンデンサ
20	アース
22	バイアスA線
24	バイアスB線
26	RFポートA
28	RFポートB
30	RFポートC
32	RFポートD
34	RFポート結合線
36	直流ポート
38	直流ポート
40	基板
42	N+層
44	真性層
46	P+層
48	P+接触層
50	N+接触層
52	相互接続金属

## 5.4 めっき金属かけ橋と送信線

【図1】



【図2】

